

文章编号:1007-2780(2015)01-0103-06

# 基于 FPGA 的工业数字摄像机系统的设计

汤 伟<sup>1</sup>,刘慧忠<sup>1\*</sup>,连钰洋<sup>1</sup>,王 震<sup>2</sup>,裴之勇<sup>1</sup>

(1. 陕西科技大学 电气与信息工程学院,陕西 西安 710021;

2. 陕西科技大学 轻工与能源学院,陕西 西安 710021)

**摘要:**针对传统工业数字摄像机的灵活性差、实时性差等缺点,设计了一种基于 FPGA 的工业数字摄像机系统。将工业数字摄像机与 FPGA 结合起来,利用 FPGA 通过 I<sup>2</sup>C 总线接口控制器控制图像传感器采集图像数据,然后将 Bayer 格式图像转化为 RGB 格式图像,通过调用 Altera IP 核 DDRII SDRAM controller with ALTMEMPHY 和 FIFO 存储器设计了 DDR2 SDRAM 的接口,将图像数据缓存到 DDR2 存储器中,最后通过 SPI 总线接口在液晶屏上显示图像,可达到 53 帧/s 图像的速度。系统代码共需约 5 000 个逻辑单元,3 704 个寄存器,117 个引脚。将设计代码下载到系统芯片中后,系统可以清晰显示所拍到的画面。设计结果表明,基于 FPGA 的工业数字摄像机设计灵活,易于移植,可实现高速图像采集和传输。

**关 键 词:** FPGA; 图像传感器; 液晶屏; DDR2 SDRAM; 控制器

**中图分类号:** TP394.1; TH691.9    **文献标识码:** A    **doi:** 10.3788/YJYXS20153001.0103

## Design of industrial digital camera system based on FPGA

TANG Wei<sup>1</sup>, LIU Hui-zhong<sup>1\*</sup>, LIAN Yu-yang<sup>1</sup>, WANG Zhen<sup>2</sup>, PEI Zhi-yong<sup>1</sup>

(1. College of Electrical and Information Engineering, Shaanxi University of Science and Technology, Xi'an 710021, China;

2. College of Light Industry and Energy, Shaanxi University of Science and Technology, Xi'an 710021, China)

**Abstract:** A type of industrial digital camera system based on FPGA is designed because that the traditional one is inflexible and bad real-time. It combines the industrial digital camera and FPGA. The image sensor which acquire the image data is controlled by FPGA through the I<sup>2</sup>C bus interface. FPGA transforms the Bayer image into RGB image and then stores the image data to DDR2 SDRAM whose interface are designed through Altera IP core-DDRII SDRAM controller with ALTMEMPHY. The image is shown on LCD screen through the SPI bus interface finally. And it can capture 53 frames per second. The system needs about 5 000 logic elements, 3 704 registers and 117 pins. After the code is downloaded to the system chip, the system can clearly display the captured screen. The result shows that the industrial digital camera system based on FPGA has the advantages of flexible design, easy to replant and the ability of high-speed image capture and transmission.

**Key words:** FPGA; image sensor; LCD; DDR2 SDRAM; controller

收稿日期:2014-05-21;修订日期:2014-07-14.

基金项目:陕西省科技统筹创新工程计划项目(No. 2012KTCQ01-19);国家国际科技合作项目(No. 2010DFB43660)

\* 通信联系人,E-mail: lhzh7@126.com

1 引言

在当今的信息化社会里,工业数字摄像机不仅应用于工业检测、印制板检测、食品饮料检测等工业行业,也应用于交通、电子警察系统、医学影像采集等生活中,更可以在危险场合中进行视频监控等。工业数字摄像机是通过外部信号触发采集,实现实时的现场图像采集,它具有采集图像方便、传输迅速、成像清晰等特点。传统的工业摄像机利用计算机对图像传感器进行配置控制,有着灵活性差、实时性差和可靠性差等缺点<sup>[1]</sup>。将工业数字摄像机和飞速发展的 FPGA(Field-Programmable Gate Array)理论结合起来,形成新的工业数字摄像机,具有高精度、速度快和灵活性强的优势,在采集原图像信息的同时还可以对原图像信息进行处理<sup>[2]</sup>。

2 系统原理及总体设计结构

基于 FPGA 的工业数字摄像机系统主要由 3 部分组成:图像采集部分、FPGA 核心控制、图像实时显示。图像采集就是把光信号转换为电信号,将模拟图像转化为数字图像,常见的图像传感器有 CMOS 图像传感器和 CCD 图像传感器。CDD 图像传感器一般用于对图像要求比较高的场合,其价格昂贵;CMOS 图像传感器采集的图像清晰,价格便宜。FPGA 完成对图像传感器的控制、图像的转化、图像缓存、接口控制以及显示控制。图像的输出结果通过液晶屏显示出来。

本设计选用美国美光(Micron)公司的 CMOS 图像传感器 MT9P031。FPGA 采用 Altera 公司的 EP3C40F484C6 芯片,SDRAM 存储器选用 Micron 公司的 MT47H64M16HR 存储

器,液晶屏显示器选用 SHARP 公司的 3.5 in (1 in=2.54 cm)液晶屏 LQ035。工业数字摄像机的硬件系统结构如图 1 所示。

3 工业数字摄像机的系统设计

工业数字摄像机的系统的主要设计集中在 FPGA 的编程开发上,FPGA 主要有以下 4 个模块:图像传感器的配置模块、图像数据格式转化模块、SDRAM 存储器的控制模块和液晶屏的控制模块。

3.1 图像传感器电路设计及其 FPGA 配置模块

本设计采用 Micron 公司的 MT9P031CMOS 图像传感器,其是一种具有 2 592 H×1 944 V 有源像素阵列的 1/2.5 in 的 CMOS 图像传感器,采用 10 mm×10 mm 尺寸的 iLCC-48 引脚封装,有 48 个引脚。MT9P031 的外围电路如图 2 所示,控制器通过 SCLK、S\_DATA、TRIGGER 引脚配置图像传感器,12 位像素数据通过 D\_OUT[11:0]引脚输出<sup>[3-4]</sup>。

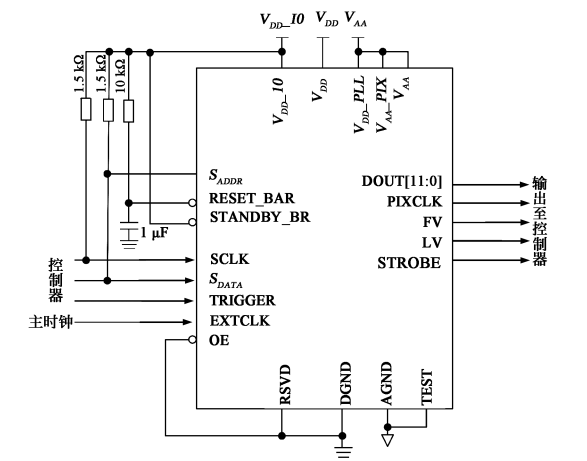


图 2 图像传感器 MT9P031 的外围电路图  
Fig. 2 External circuit of the image sensor MT9P031

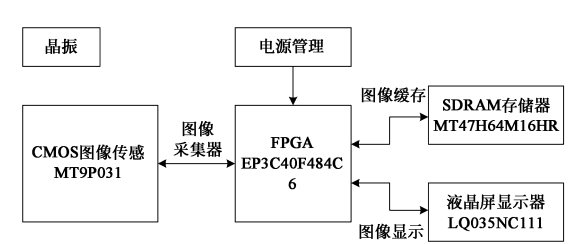


图 1 工业数字摄像机的系统结构图  
Fig. 1 System structure of industrial digital cameras

图像传感器 MT9P031 的相关操作是通过 I<sup>2</sup>C(Inter-Integrated Circuit)串行接口总线读/写对应寄存器来完成操作的。I<sup>2</sup>C 总线是飞利浦公司推出的一种总线技术,它有两根双向信号线,一根是数据线 SDA,另一根是时钟线 SCL。I<sup>2</sup>C 接口总线定义了几种不同的传输代码,如表 1。

Start bit 是起始位,时钟线为高电平,数据线由高电平转低电平时有效;Slave Address 是器件

地址,包括 7 个地址位和 1 个方向位,最低有效位为“0”时表示写模式,为“1”时表示读模式;ACK/NoACK 是应答位,每一个被传送的字节后面都必须跟随一位应答位;8 bit message 是数据,每次传送 8 位数据,其后是应答位;Stop bit 是停止位,时钟线为高电平,数据线由低电平变为高电平时有效<sup>[5-6]</sup>。

表 1 I<sup>2</sup>C 串行接口传输代码

Tab.1 Serial interface transmission code

| Start bit | Slave Address | ACK/NoACK | 8 bit message | ACK/NoACK | Stop bit |
|-----------|---------------|-----------|---------------|-----------|----------|
|-----------|---------------|-----------|---------------|-----------|----------|

图像传感器 MT9P031 输出 12 位像素数据时,同时输出帧有效信号和行有效信号,当二者都是高电平时,像素数据有效。MT9P031 图像传感器中共有 256 个寄存器,寄存器的设置决定了图像传感器的工作状态。图像传感器配置模块通过 I<sup>2</sup>C 总线接口的 SCL 信号和 SDA 信号设置图像传感器中寄存器的值,进而控制图像传感器的工作状态。状态机转换如图 3 所示。

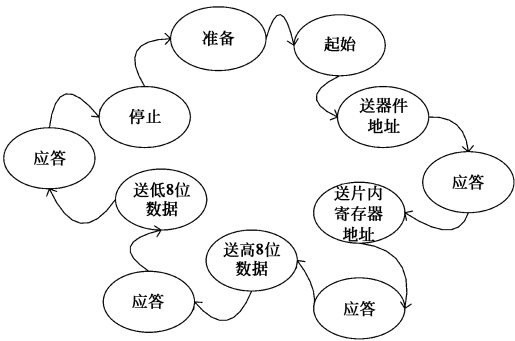


图 3 图像传感器配置模块状态机转换图

Fig.3 Image sensor configuration module state machine transition diagram

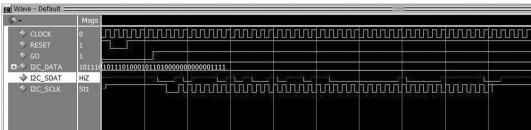


图 4 I<sup>2</sup>C 串行总线写操作时序仿真图

Fig.4 Simulation diagram of I<sup>2</sup>C serial bus write operation

图像传感器与总线之间通过高阻态的形式相连,故应答也是高阻。图像传感器的地址是

BAH,向寄存器 R0x2D 中写入数据 0x000F,其时序仿真图如图 4 所示。

3.2 图像数据转换模块

图像传感器 MT9P031 输出的每个像素点是 12 bits 的 Bayer 格式数据。Bayer 数据格式是一种未经过处理加工的数据格式,每个像素点只包含 RGB 颜色空间中的一种颜色分量。其颜色分布形式如图 5 所示。为了得到 RGB 图像,需要利用其周围像素点的相关性估算出缺少的颜色分量,本设计中采用线性插值算法的方式估算缺少的颜色分量。Bayer 格式中,奇数行是 G、B 分量,偶数行是 B、G 分量,偶数列是 G、B 分量,奇数列是 R、G 分量。对于一个 2×2 的插值窗口,有四种可能的插值情况,分别为:

- (1) $R=R_{12}, \quad G=G_{11}+G_{22}, \quad B=B_{21};$
- (2) $R=R_{11}, \quad G=G_{21}+G_{12}, \quad B=B_{22};$
- (3) $R=R_{22}, \quad G=G_{12}+G_{21}, \quad B=B_{11};$
- (4) $R=R_{21}, \quad G=G_{22}+G_{11}, \quad B=B_{12}.$

算法的实现采用 Altera 公司的行缓存区 IP 核 Altshift\_taps 实现。具体思路就是设置两个行列计数器,列计数器从场有效信号到达后第一个有效数据开始计数,计数到一行数据后,行数器加一,列计数器重新计数。由行列计数器的奇偶判断 4 种插值情况。

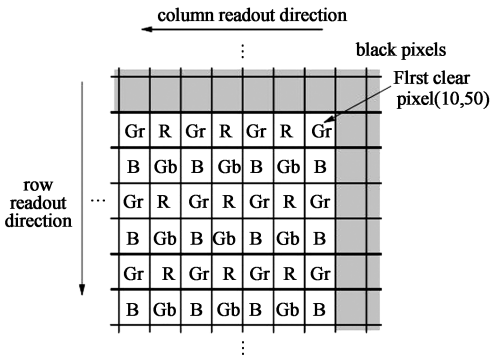


图 5 Bayer 图像数据格式

Fig.5 Bayer image data format

3.3 SDRAM 存储器配置模块

本设计采用 Micron 公司的 MT47H64M16HR DDR2 SDRAM(Double Data Rate 2 SDRAM)。该存储器的位宽为 16 位,单个 BANK 有 8M 个单元,共有 8 个 BANKS<sup>[7]</sup>。存储器配置模块主要包括以下几个部分:DDR2 SDRAM 控制器 IP 核、状态控制模块和缓存模块。其原理

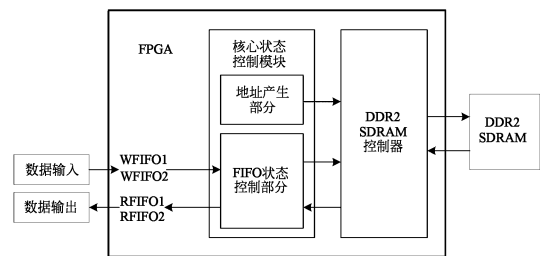


图 6 SDRAM 存储器配置模块原理图

Fig. 6 SDRAM memory configuration module schematics

图如图 6 所示。

模块输入数据时截取图像转换模块输出数据中的高 10 位,这样每个像素的 RGB 宽度为 30 位。采用两个写 FIFO(WFIFO1 和 WFIFO2)将每个像素的数据写入 DDR2 存储器中,其中 WFIFO1 的 WR1\_DATA[15 : 0]数据总线的[9 : 0]位数据送红色分量(R[9 : 0]),[14 : 10]位数据送绿色分量的高 5 位(G[9 : 5]),WFIFO2 的 WR2\_DATA[15 : 0]数据总线的[9 : 0]位数据送黑色分量(B[9 : 0]),[14 : 10]位数据送绿色分量的低 5 位(G[4 : 0])。从 DDR2 器件读取数据时,RFIFO1 中 RD1\_DATA[15 : 0]的[9 : 0]位送红色分量通道,RFIFO2 的 RD2\_DATA[15 : 0]的[9 : 0]位数据送黑色分量通道, RD1\_DATA[15 : 0]的[14 : 10]位与 RD2\_DATA[15 : 0]的[14 : 10]位合并成 10 位送绿色分量通道,最后将这 3 个 R、G、B 颜色分量送 LCD 控制器模块,供 LCD 液晶屏显示。DDR2 控制器哥。

ALTERA 公司提供的 IP 核 DDRII SDRAM controller with ALTMEMPHY,读写 FIFO 存储器通过 Quartus II 软件中 MegaWizard 工具生成,时钟由 PLL 倍频所得。

### 3.4 液晶屏显示及 FPGA 配置模块

LQ035 一款 3.5 in 彩色 TFT LCD,具有 320RGB×240 的高分辨率,接口支持数字 24 位 RGB/串行 RGB/CCIR656/CCIR601 等标准。

LQ035 的控制采用 SPI (Serial Peripheral Interface--串行外设接口)总线,其时序如图 7。液晶屏控制器通过 SPI 接口对 LQ035 的内部寄存器进行读写,从而控制 LQ035 液晶屏的显示模式。完成一次 SPI 接口总线的读写需要 24 个时钟周期,前 6 个位数据为设备号,第 7 位为数据与命令的区分位,第 8 位为读写位,[15 : 8]位为寄存器地址位,[7 : 0]位为数据位。SPI 接口与 I<sup>2</sup>C 接口总线不同,其没有应答位。其状态转换图与图像传感器的配置类似,由于篇幅原因,不再详细叙述。

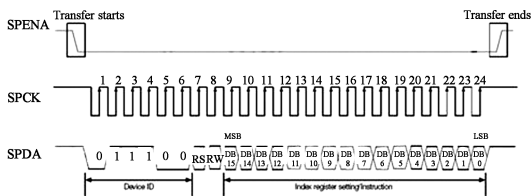


图 7 SPI 接口时序图

Fig. 7 SPI Interface Timing Diagram

## 4 系统测试结果

本设计中图像传感器 MT9P031 的工作模式采用 VGA 640×480 分辨率 binning 模式,向图像传感器寄存器写入数据控制 MT9P031 的工作状态。图像传感器 MT9P031 外部输入 25 MHz 的时钟,其通过片上锁相环倍频达到 96 MHz。图像传感器工作时各数据计算结果如表 2。

表 2 MT9P031 行周期和帧周期

Tab. 2 Row time and frame time of MT9P031

| 参数                  | 名称   | 公 式                                                    | 结果         |
|---------------------|------|--------------------------------------------------------|------------|
| <sup>t</sup> PIXCLK | 像素周期 | 1/ <sup>t</sup> PIXCLK                                 | 10.42 ns   |
| W                   | 图像宽度 | 2×ceil((Column_Size+1)/(2×(Column_Skip+1)))            | 640 PIXCLK |
| H                   | 图像高度 | 2×ceil((Row_Size+1)/(2×(Row_Skip+1)))                  | 480 rows   |
| SW                  | 快门宽度 | Max(1,(2* 16×Shutter_Width_Upper)+Shutter_Width_Lower) | 479 rows   |
| HB                  | 水平消隐 | Horizontal_Blank+1                                     | 1 PIXCLK   |

| 续表                |        |                                                                                                                               |                     |
|-------------------|--------|-------------------------------------------------------------------------------------------------------------------------------|---------------------|
| 参数                | 名称     | 公 式                                                                                                                           | 结果                  |
| VB                | 垂直消隐   | Vertical_Blank+1                                                                                                              | 26 rows             |
| HB <sub>MIN</sub> | 最低水平消隐 | $346 \times (\text{Row\_Bin} + 1) + 64 + (W_{\text{DC}}/2)$                                                                   | 1458 PIXCLK         |
| VB <sub>MIN</sub> | 最低垂直消隐 | $\max(8, \text{SW-H}) + 1$                                                                                                    | 9 rows              |
| 'ROW              | 行周期    | $2 \times ' \text{PIXCLK} \times \max(((W/2) + \max(\text{HB}, \text{HBMIN})), (41 + 346 \times (\text{Row\_Bin} + 1) + 99))$ | 37.05 $\mu\text{s}$ |
| 'FRAME            | 帧周期    | $(H + \max(\text{VB}, \text{VBMIN})) \times ' \text{ROW}$                                                                     | 18.75 ms            |
| fps               | 帧速率    | $1/' \text{FRAME}$                                                                                                            | 53                  |

其列有效像素(Column\_Size)有 2 599 个,行有效像素(Row\_Size)有 1 919 个,Column\_Skip 和 Row\_Skip 寄存器为 3,Horizontal\_Blank 寄存器为 0,Vertical\_Blank 为 25,Row\_Bin 与 Column\_Bin 确定 HBMIN 为 1 458 PIXCLK。最后得出其行周期为 37.05  $\mu\text{s}$ ,帧周期为 18.75 ms,每秒可产生 53 帧图像。

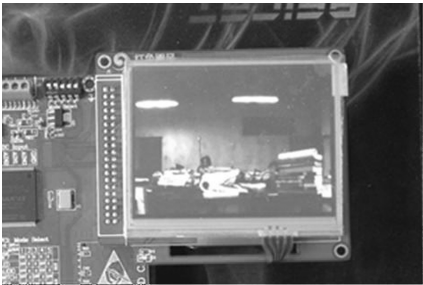


图 8 系统测试结果图  
Fig.8 System test results figure

完成系统设计后,使用 Quartus II 软件编译设计代码。本测试采用 Altera 公司的 Cyclone III 系列芯片 EP3C40F484 芯片,编译结果显示共需约 5 000 个逻辑单元,占芯片总量的 13%,3 704

个寄存器和 117 个引脚,占芯片总量的 35%。将设计代码下载到 FPGA 芯片中后,系统开始采集并显示图像。图 8 为系统所拍摄的室内图像,测试结果可看到系统实时图像显示清晰,画面稳定,功能符合设计要求。

5 结 论

基于 FPGA 的工业数字摄像机系统采用 FPGA 芯片作为数据核心处理单元,CMOS 图像传感器负责获取图像数据,FPGA 完成对图像传感器芯片的控制、数据转换、数据缓存及接口控制,VGA 控制器完成实时图像的输出和显示。一个完整的工业数字摄相机不仅包括图像的采集显示,还包括图像的及时处理算法(如滤波处理等),这些处理算法数据运算量大,同时实时性要求高,基于 FPGA 的工业数字摄像机可满足以上传统摄像机达不到的要求。同时该系统设计灵活,在设计过程中采用了 Altera IP 核,简化了设计过程,还可将不同的处理算法移植到该系统,满足不同的场合不同的算法处理,适合应用到多种工业现场。

参 考 文 献:

[1] 樊博,王延杰,孙宏海,等. FPGA 实现高速实时多端口图像处理系统的研究[J]. 液晶与显示,2012, 28(4): 620-625.  
Fan B, Wang Y J, Sun H H, et al. High speed real-time multiport image processing system realized on FPGA [J]. Chinese Journal of Liquid Crystals and Displays, 2012, 28(4): 620-625. (in Chinese)  
[2] 刘波文,张军,何用. FPGA 嵌入式项目开发 [M]. 北京:北京航空航天大学出版社,2012:117-331.  
Liu B W, Zhang J, He Y, et al. FPGA Embedded Project Development [M]. Beijing: Beihang University Press, 2012:117-331. (in Chinese)

- [3] 刘延飞,郭锁利,王晓戎,等. 基于 Altera FPGA/CPLD 的电子系统设计及工程实践[M]. 北京:人民邮电出版社, 2009:252-288.  
Liu Y F, Guo S L, Wang X R, *et al.* *Electronic System Design and Engineering Practice Based on Altera FPGA/CPLD* [M]. Beijing: Posts & Telecom Press, 2009:252-288. (in Chinese)
- [4] 朱奕丹,方怡冰. 基于 FPGA 的图像采集与 VGA 显示系统[J]. 计算机应用, 2011, 31(5):1258-1261.  
Zhu Y D, Fang Y B. Image acquisition and VGA display system based on FPGA [J]. *Journal of Computer Applications*, 2011, 31(5):1258-1261. (in Chinese)
- [5] 左事君,刘新朝,何巧珍,等. 基于 FPGA 的高清视频采集与显示系统设计[J]. 电子技术应用, 2011, 37(06):56-58.  
Zuo S J, Liu X C, He Q Z, *et al.* Design of high definition video acquisition and display system based on FPGA [J]. *Application of Electronic Technique*, 2011, 37(06):56-58. (in Chinese)
- [6] 郭永彩,苏渝维,高潮. 基于 FPGA 的红外图像实时采集系统设计与实现[J]. 仪器仪表学报, 2011, 32(3):514-519.  
Guo Y C, Su Y W, Gao C. Design and implementation of real-time infrared image collection system based on FPGA [J]. *Chinese Journal of Scientific Instrument*, 2011, 32(3):514-519. (in Chinese)
- [7] 郑佳,李永亮,李娜. 基于 FPGA 的 DDR 控制器的实现[J]. 无线电工程, 2007, 37(10):23-25.  
Zheng J, Li Y L, Li N. Implementation of DDR controller based on FPGA [J]. *Radio Engineering*, 2007, 37(10):23-25. (in Chinese)

**作者简介:**汤伟(1971—),男,河南信阳人,教授,博士生导师,主要从事工业智能控制及工业高级过程控制。E-mail: 315837731@qq.com  
刘慧忠(1989—),男,陕西榆林人,硕士研究生,主要从事机器视觉及自动控制方面的研究。E-mail:lhzh7@126.com@163.com